

ЦЫБИН Сергей Александрович

**ПРОЕКТИРОВАНИЕ ВЫСОКОИНТЕГРИРОВАННЫХ
ПРОГРАММИРУЕМЫХ ЛОГИЧЕСКИХ ИНТЕГРАЛЬНЫХ
СХЕМ ПО СУБМИКРОННЫМ ПРОЕКТНЫМ НОРМАМ**

Специальность: 05.27.01 - Твердотельная электроника,
радиоэлектронные компоненты,
микро- и нанoeлектроника,
приборы на квантовых эффектах

АВТОРЕФЕРАТ

диссертации на соискание ученой степени
кандидата технических наук

25 НОЯ 2010

Воронеж - 2010

Работа выполнена в ГОУ ВПО «Воронежский государственный технический университет»

Научный руководитель	доктор технических наук, доцент Строгонов Андрей Владимирович
Официальные оппоненты:	доктор физико-математических наук, профессор Бормонтов Евгений Николаевич;
	доктор технических наук, профессор Данилин Николай Семенович
Ведущая организация	ОАО «Концерн «Созвездие», г. Воронеж

Защита состоится 30 ноября 2010 г. в 14⁰⁰ часов в конференц-зале на заседании диссертационного совета Д 212.037.06 ГОУ ВПО «Воронежский государственный технический университет» по адресу: 394026, г. Воронеж, Московский просп., 14.

С диссертацией можно ознакомиться в научно-технической библиотеке ГОУ ВПО «Воронежский государственный технический университет».

Автореферат разослан «28» октября 2010 г.

Ученый секретарь
диссертационного совета



Горлов М.И.

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность темы. На отечественном рынке микроэлектроники в настоящее время представлены программируемые логические интегральные схемы (ПЛИС), разработанные и серийно выпускаемые ОАО «КТЦ «ЭЛЕКТРОНИКА» на базе ОАО «ВЗПП-С» - 5576ХС1Т/1Т1 (0.35 мкм), логической емкостью 50 тыс. вентиляей, с возможностью многократного изменения конфигурации и функционально совместимые с зарубежными ПЛИС 10К50V фирмы Altera, а также интерфейсная ПЛИС 5576ХС2Т (0.35 мкм) логической емкостью 2.5 тыс. вентиляей, предназначенная для аэрокосмических применений. Проблему разработки и серийного освоения высокоинтегрированных ПЛИС резко обостряет отсутствие в РФ современных кремниевых производств с технологическим уровнем 0.18 мкм и ниже.

В настоящее время по самым скромным оценкам в образцах отечественной радиоэлектронной аппаратуры (РЭА) применено более тысячи типов БИС и ПЛИС зарубежного производства. По информации Минпромторга на 174 предприятиях, разрабатывающих оборудование средств связи, систем ГЛОНАСС, цифрового телевидения и средств радиочастотной идентификации, доля импортной ЭКБ составляет 90%. Более половины используемых ПЛИС имеют логическую емкость 100 тыс. – 300 тыс. вентиляей. Данная РЭА, которая появится на рынке до 2015 года, будет определять конкурентную способность отечественного производителя в этих приоритетных областях в РФ. Правительство РФ ставит задачу уменьшить к 2015 году долю импортной ЭКБ в разрабатываемой РЭА до 40%. На основании экспортной лицензии Министерства торговли США в Россию не поставляются БИС специального и военного назначения, изготовленные по стандарту Минобороны США MIL-STD-883. При использовании зарубежных ПЛИС в РЭА для проверки качества необходимо проведение сертификационных испытаний поставляемой продукции, и в конструкторской документации на ПЛИС часто не описаны отдельные функции (так называемые “недокументированные функции”, особенно связанные с тестовыми режимами).

Ввиду необходимости разработки современных высокоинтегрированных отечественных ПЛИС, в т.ч. ПЛИС двойного назначения с расширенным диапазоном рабочих температур – 60 + 125 °С и напряжений питания, предлагается разработать ПЛИС степенью интеграции до 250 тыс. эквивалентных вентиляей на базе технологии ХС018 (0.18 мкм КМОП-технологии кремниевой фабрики X-FAB Semiconductor Foundries, Германия), принимая во внимание тот факт, что в настоящее время подобное производство запускается на

ОАО «НИИМЭ и Микрон», г. Москва.

Топология ПЛИС представляет собой набор плотноупакованных повторяющихся элементов, количество которых в современных ПЛИС достигает более 1 миллиона, при этом каждый фрагмент на схемотехническом и топологическом уровне тщательно прорабатывается, чтобы обеспечить необходимую плотность и характеристики. Поэтому автоматизированные методы проектирования не применимы или применяются ограниченно. Следует отметить, что библиотеки стандартных элементов, предоставляемые кремниевыми зарубежными фабриками для логического и топологического проектирования СБИС, невозможно применить для проектирования ПЛИС, т.к. они не содержат специфических логических элементов ПЛИС; не удовлетворяют требованиям по размерам фрагментов и плотности топологии ПЛИС; аттестованы для использования в СБИС индустриального и коммерческого применения (в диапазоне температур $-40 + 85$ °С).

При проектировании высокоинтегрированных ПЛИС необходимо принимать во внимание влияние паразитных эффектов, характерных для субмикронных БИС. Прежде всего, следует учесть паразитную емкость связи между проводниками, приводящую к перекрестным искажениям и росту емкости нагрузки, паразитное падение напряжения в цепях питания и заземления, паразитное сопротивление проводников. Как следствие, наблюдается преобладание задержек распространения сигналов по токопроводящим дорожкам над задержками распространения сигналов в вентилях из-за наличия собственных сопротивлений и емкостей.

Работа выполнена в соответствии с планом комплексных исследований, проводимых на кафедре «Полупроводниковая электроника и нанoeлектроника» ГОУ ВПО «Воронежский государственный технический университет» по теме НИР ГБ 2004-34 «Исследование полупроводниковых материалов (Si , A^3B^5 , A^4B^6), приборов и технологий их изготовления» (N г.р. 0120.0412882).

Цель работы. Целью данной работы являлись выбор базовой архитектуры, разработка и исследование основных функциональных блоков и топологическое планирование высокоинтегрированной отечественной ПЛИС двойного назначения, функциональной емкостью до 250 тыс. эквивалентных вентилях, числом логических элементов около 10 тысяч, встроенной памятью емкостью до 100 тыс. бит, с расширенным рабочим диапазоном температур ($-60 + 125$ °С), напряжений питания (1.62 В - 1.98 В) и ограничением по размеру

кристалла – не более $12.5 \times 12.5 \text{ мм}^2$ (размер ядра – не более $10.5 \times 10.5 \text{ мм}^2$).

Для достижения указанной цели были сформулированы следующие **задачи**:

1. Определить оптимальную архитектуру, тип конфигурационной ячейки и функциональные параметры основных блоков ПЛИС.

2. Используя сертифицированные Spice-модели и конструктивно-технологические требования (КТТ) технологии XC018 кремниевой фабрики X-FAB Semiconductor Foundries (Германия) и САПР Cadence, разработать электрические схемы и топологические чертежи основных функциональных блоков: логического элемента (ЛЭ), входных и выходных коммутаторов к системам ЛМС и ГМС, массивов конфигурируемых логических блоков (КЛБ), программируемых элементов ввода/вывода (ЭВВ), реконфигурируемых блоков внутренней встроенной памяти (РБП), системы глобальных (ГМС) и локальных (ЛМС) матриц межсоединений; системы глобальных тактовых сигналов. Проектирование вести с учетом влияния паразитных эффектов, вызванных субмикронными размерами, и разброса параметров техпроцесса XC018 (характеризуется 5 типами Spice-моделей).

3. Провести топологическое планирование и разработать в символьном виде (абстрактном представлении) топологию кристалла ПЛИС по КТТ техпроцесса XC018 с учетом того, что кристаллы будут перепроектироваться под подобный техпроцесс отечественной кремниевой фабрики ОАО «НИИМЭ и Микрон».

4. Исследовать схемы программируемой коммутации межсоединений ПЛИС с использованием передаточных вентилях (ключей) в расширенном диапазоне температур и питающих напряжений, поскольку быстродействие ПЛИС, главным образом, определяется характеристиками трассировочных программируемых коммутаторов.

5. Разработать схему глобальной синхронизации элементов ПЛИС (дерево синхронизации) с учетом топологических размеров ПЛИС и резистивно-емкостных паразитных эффектов, вызванных влиянием субмикронных размеров, произвести геометрическое позиционирование и оптимизировать размеры транзисторов буферных элементов цепей синхронизации, рассчитать оптимальную ширину шин металлизации, по которым распространяются синхросигналы, и провести расчет задержек распространения синхросигналов.

Научная новизна работы. В диссертации получены следующие основные результаты, характеризующиеся научной новизной:

1. Разработаны основные функциональные блоки и элементы высокоинтегрированных ПЛИС двойного назначения по архитектуре ППВМ, отличающиеся от известных технических решений тем, что параметры транзисторов в элементах и блоках рассчитаны для обеспечения работоспособности в расширенных рабочих диапазонах температур ($-60 + 125$ °С) и напряжений питания (1.62 В - 1.98 В).

2. Разработаны новые схемотехнические решения для схем программируемой коммутации, отличные от описанных в зарубежных публикациях.

3. Разработана методика расчета цепей схемы глобальной синхронизации элементов ПЛИС (дерева синхронизации) с учетом резистивно-емкостных паразитных эффектов, вызванных влиянием субмикронных размеров и распределением ЛЭ и ЭВВ на большой площади кристалла ПЛИС.

Практическая значимость.

1. С использованием САПР CADENCE разработана электрическая схема и символьная топология ПЛИС в абстрактном представлении. Разработаны основные функциональные блоки, такие как электрические схемы коммутаторов матриц ГМС и ЛМС, КЛБ, ЛЭ и ЭВВ. При проектировании ПЛИС осуществлялся учет разброса параметров техпроцесса ХС018 и влияния паразитных эффектов, вызванных субмикронными размерами.

2. Топологическая прорисовка основных блоков и планирование кристалла ПЛИС позволили оценить, что на кристалле размером 11.5×12.5 мм² (размером ядра 9.5×10.5 мм²) возможно разместить - 1248 КЛБ (9984 ЛЭ), 98304 бит реконфигурируемой встроенной памяти (48 блоков по 2048 бит), что соответствует логической емкости 200 тыс. эквивалентных вентилях. По периметру возможно разместить до 260 контактных площадок для ЭВВ, шин питания U_{CC} и шин «земля».

3. Разработаны схемы программируемой коммутации межсоединений с использованием передаточных вентилях на n-МОПТ-ключах. На основании временного анализа выявлены решения, позволяющие минимизировать задержки переключения в цепях коммутации и устранить перекося времен задержек распространения сигналов t_{pHL} и t_{pLH} .

4. Разработана оптимальная конструкция электрической схемы дерева синхронизации. Произведено геометрическое позиционирование и оптимизация размеров транзисторов буферных элементов цепей синхронизации, рассчитана оптимальная ширина шин

металлизации, по которым распространяются синхросигналы, проведен расчет задержек распространения синхросигналов в ПЛИС.

5. Разработана топологическая библиотека элементов, входящих в состав ПЛИС, по КТТ технологии ХС018 с учетом того, что кристаллы будут перепроектироваться под подобный техпроцесс отечественной кремниевой фабрики ОАО «НИИМЭ и Микрон».

Основные положения, выносимые на защиту

1. Элементы конструкции высокоинтегрированной ПЛИС по архитектуре ППВМ с функциональной емкостью 200 тыс. эквивалентных вентилях, спроектированной по 0.18 мкм КМОП-технологии.

2. Конфигурация программируемых коммутаторов на комбинируемых мультиплексорных структурах для несегментированных межсоединений ПЛИС.

3. Методика расчета цепей схемы глобальной синхронизации элементов ПЛИС (дерева синхронизации) с учетом резистивно-емкостных паразитных эффектов, вызванных влиянием субмикронных размеров и распределением ЛЭ и ЭВВ на большом кристалле ПЛИС.

Апробация работы. Результаты диссертации докладывались на следующих конференциях и семинарах: ежегодных международных научно-технических семинарах “Элементная база космических систем” (Москва, МНТОРЭС им. А.С. Попова, 2005-2006); II Всероссийской научно-технической конференции “Проблемы разработки перспективных микроэлектронных систем” (Москва, 2006).

Публикации. По теме диссертации опубликовано 27 научных работ, в том числе 4 - в изданиях, рекомендованных ВАК РФ, учебное пособие, 3 патента РФ. В работах, опубликованных в соавторстве и приведенных в конце автореферата, лично соискателю принадлежат: исследования особенностей логических и трассировочных ресурсов и метастабильности триггеров в зарубежных ПЛИС фирмы Altera при проектировании в САПР Quartus II микропроцессорных ядер [1-4,8,21-26]; конструктивно-технологические решения ПЛИС-БМК[5-7,27]; методы, средства и концепция импортнозамещающей технологии ПЛИС-БМК[9-13]; архитектурные и схемотехнические решения для высокоинтегрированных ПЛИС[2,14-20].

Структура и объем работы. Диссертация состоит из введения, четырех глав, выводов и списка литературы из 67 наименований. Основная часть работы изложена на 135 страницах, содержит 32 таблицы и 101 рисунок.

ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ

Во введении отмечены рост зависимости разработчиков РЭА от зарубежной электронной компонентной базы (ЭКБ), в т.ч. больших интегральных схем, которые относятся к критически важным технологиям, и необходимость современных отечественных разработок в секторе ПЛИС.

В первой главе рассматриваются различные архитектуры зарубежных ПЛИС и проблемы, связанные с проектированием ПЛИС по субмикронным проектным нормам. В качестве архитектуры для разрабатываемой ПЛИС с числом эквивалентных вентилях до 250 тыс. выбирается архитектура типа “Программируемые пользователем вентиляльные матрицы”.

Конфигурируемые логические блоки (КЛБ) ПЛИС содержат 8 ЛЭ, а каждый логический элемент содержит генератор комбинационных функций (ГФ), выполненный в виде таблицы перекодировок (LUT-таблица), логику цепей ускоренного переноса и каскадирования, программируемый триггер для реализации функций последовательностной логики, логику выбора тактовых сигналов, логику управления сигналами сброса и установки.

В качестве структурной схемы функционального генератора (ГФ) булевых комбинационных функций ЛЭ выбирается 4-входовая таблица перекодировок. Для реализации функций последовательностной логики в ЛЭ включается программируемый D-триггер, тактируемый фронтом синхросигнала.

В качестве конфигурационной ячейки (КЯ) памяти КЛБ целесообразно использовать шеститранзисторную ячейку памяти, которая позволяет организовать конфигурационную память в виде системы произвольного доступа. Организация КЯ в виде системы произвольного доступа эффективна для ПЛИС с системой мониторинга состояния КЯ в процессе эксплуатации. Считывается содержимое конфигурационной памяти и сравнивается с эталонными значениями, и в случае сбоя конфигурационная память переписывается без потери работоспособности ПЛИС. Поэтому данное решение предпочтительнее для ПЛИС, предназначенных для высоконадежных применений. Кроме того, токи утечки при температуре +125 °С массива конфигурационной памяти на основе шеститранзисторной ячейки ниже по сравнению с массивом на основе пятитранзисторной ячейки.

Для организации внутренней структуры межсоединений ПЛИС выбирается многоуровневая структура (несегментированные межсоединения), основанная на глобальной (ГМС) и локальных (ЛМС)

матрицах межсоединений. Данная архитектура требует больших ресурсов на организацию межсоединений и пришла на смену более ранним сегментированным архитектурам, что связано с возможностью использования 6 уровней металлизации 0.18 мкм КМОП-технологии.

При переходе на субмикронные проектные нормы с учетом высокой плотности компоновки логических элементов и при снижении напряжения питания БИС с 5 В до 1.8 В необходимо при проектировании ПЛИС учесть влияние паразитных эффектов, вызванных субмикронными размерами, главным образом учесть паразитные емкости и сопротивления межсоединений. Для обеспечения реализации разрабатываемой ПЛИС в кристаллы с заданными геометрическими размерами - не более $12.5 \times 12.5 \text{ мм}^2$, выбирается 0.18 мкм КМОП-технология.

Во второй главе разрабатываются электрические схемы элементов ПЛИС по архитектуре ППВМ (рис.1, а) с использованием САПР Cadence и сертифицированных Spice-моделей кремниевой фабрики X-FAB Semiconductor Foundries (Германия) для технологических проектных норм 0.18 мкм КМОП-технологии с одним уровнем поликремния и шестью уровнями алюминиевой металлизации AlCu (0.5 % Cu) с подслоем Ti с напряжением питания ядра 1.8 В и 3.3/5 В для ЭВВ периферии. Разработаны электрические схемы дерева синхронизации элементов ядра и периферии ПЛИС, схемы программируемой коммутации ГМС и ЛМС, КЛБ, ЛЭ (рис.1, б) и ЭВВ. Использование шести слоев токопроводящих дорожек AlCu при проектировании ПЛИС позволило улучшить конструктивно-топологические решения, сократить площадь, занимаемую схемой за счет уменьшения площади, отводимой под разводку, и увеличения плотности размещения элементов. Это привело к уменьшению длины межэлементных связей в ПЛИС и к снижению задержек распространения сигналов. При проектировании топологии ЛЭ по технологии 0.35 мкм его площадь составила $63.2 \times 186.3 \text{ мкм}^2$, после перехода на технологию 0.18 мкм – $43.2 \times 130 \text{ мкм}^2$. При проектировании топологии ЛМС по технологии 0.35 мкм ее площадь составила $131.7 \times 187 \text{ мкм}^2$, после перехода на технологию 0.18 мкм – $57 \times 130 \text{ мкм}^2$.

В третьей главе проведено схемотехническое проектирование схем программируемой коммутации ГМС и ЛМС. На рис. 2 показано, как осуществляется коммутация сигналов с шин ГМС на ЛМС КЛБ и с ЛМС на входы ЛЭ. Программируемые коммутаторы могут быть выполнены как на мультиплексорных структурах с использованием n-МОПТ или КМОП-ключей, так и с использованием одного n-МОПТ

ключа на каждое track-to-rip соединение или их комбинацией. В случае использования мультиплексорных структур существует критический путь из трех или более последовательно соединенных n-МОПТ-ключей. Комбинированный вариант позволяет уменьшить число ключей в критическом пути и повысить быстродействие при незначительном увеличении числа конфигурационных ячеек памяти. Для уменьшения занимаемой площади КЛБ и увеличения быстродействия LUT-таблица (ГФ) строится на n-МОПТ-ключах в виде «дерева» мультиплексоров. На выходе LUT-таблицы находится буфер с восстановлением уровня. Выходы с ячеек конфигурационной памяти буферизуются. Остальные мультиплексоры, используемые в КЛБ, не управляемые динамически, а задающие конфигурацию логического элемента, реализуются в виде КМОП-ключей с целью выравнивания задержек сигналов и сокращения количества и размеров буферов. При проектировании LUT-таблицы логического элемента на основе n-МОПТ ключей его площадь составила 48×24 мкм², а на основе КМОП-ключей – 44×39 мкм². Экспериментальные результаты показали, что типовое быстродействие LUT-таблицы на основе n-МОПТ ключей выше, по сравнению с КМОП-ключами на 10%.

Схемотехническое моделирование, проведенное с целью исследования нагрузочной способности глобальных межсоединений с использованием Spice-модели ws (наихудший случай), при крайних температурах и напряжениях питания показало, что программируемые коммутаторы на n-МОПТ ключах обладают большим быстродействием (на 10-15 %), по сравнению с коммутаторами на КМОП-ключах (рис. 3). Но при этом следует отметить, что при большом числе подключенных активных входов коммутаторов (более 230 к одной глобальной шине) начинает сказываться влияние p-МОП транзистора, включенного в цепи обратной связи инвертора с восстановлением уровня. Многочисленные маломощные p-МОП транзисторы в сумме формируют значительную токовую нагрузку на буферные каскады межсоединений при переключении из состояния логической 1 в состояние логического 0 и ухудшают быстродействие (рис. 3).

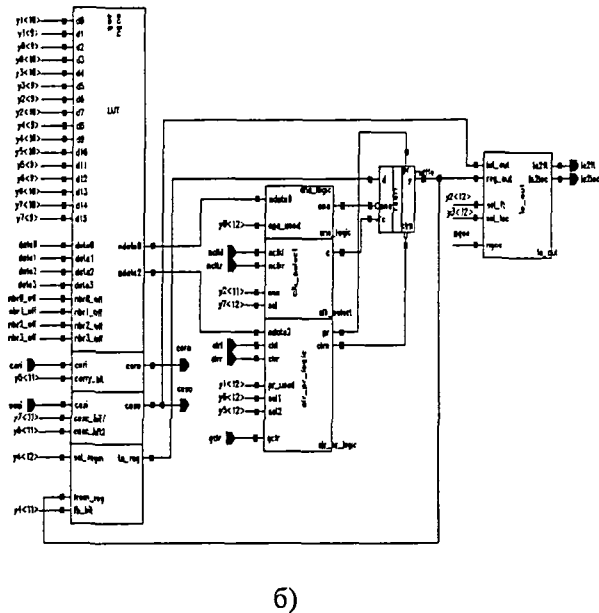
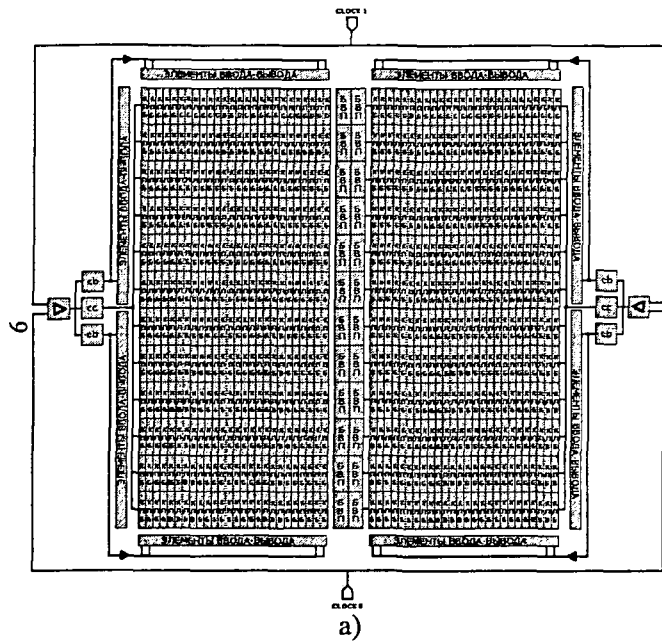
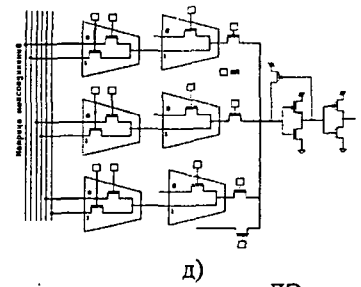
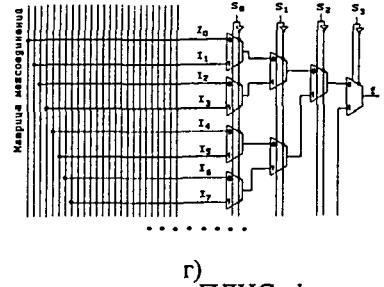
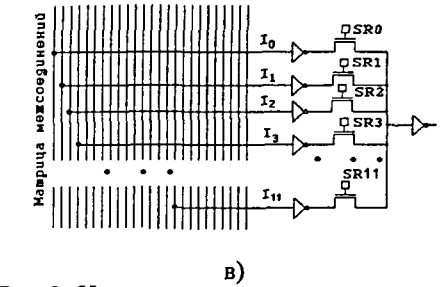
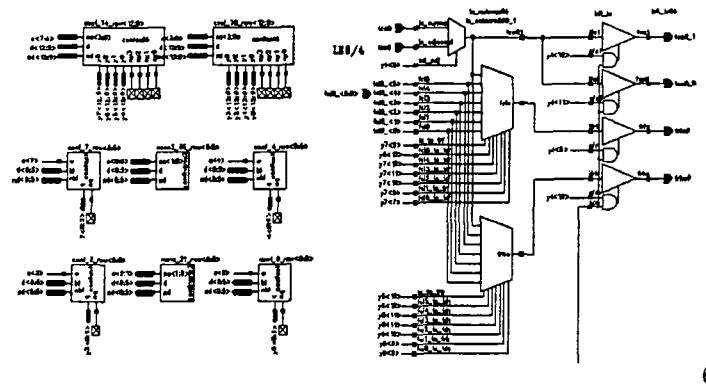
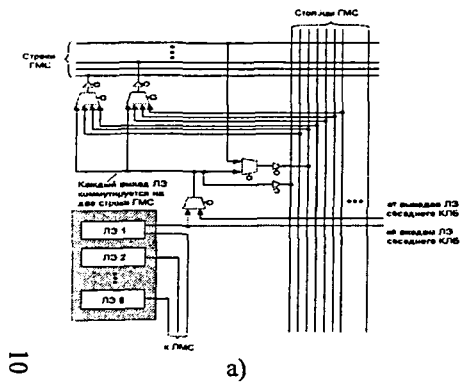


Рис. 1. Архитектура ПЛИС (а) и схема логического элемента КЛБ (б)



10

Рис.2. Использование программируемых коммутаторов в ПЛИС: фрагмент схемы подключения ЛЭ к строкам и столбам ГМС (а); фрагмент электрической схемы выходных коммутаторов в САПР Cadence (б); фрагмент входного коммутатора с использованием одного п-МОПТ-ключа на каждое track-to-pin соединение (в); фрагмент коммутатора на мультиплексорных структурах (г); фрагмент комбинированной структуры (д)

Рис.3. Зависимость задержки распространения сигнала от количества подключенных ЛЭ к цепи ГМС при переключении из 1 в 0 (Spice-модель ws, $T=125\text{ }^{\circ}\text{C}$, $U_{cc}=1.62\text{ В}$): 1 – коммутаторы на п-МОПТ ключах; 2 – коммутаторы на КМОП-ключах



В четвертой главе приведено проектирование схемы глобальной синхронизации элементов ПЛИС (дерева синхронизации) с учетом паразитных эффектов, вызванных влиянием субмикронных проектных норм и распределением ЛЭ и ЭВВ на большой площади кристалла ПЛИС. Дерево синхронизации обычно включает цепи, которые используются для доставки глобального тактового сигнала в различные части кристалла, вплоть до последнего каскада, отвечающего за локальное распределение тактовых сигналов с учетом колебаний нагрузки. В настоящее время при проектировании субмикронных цифровых БИС широко используются автоматизированные методы экстракции паразитных RC-параметров из топологических представлений БИС в формате GDSII. Однако высокая плотность топологии элементов ПЛИС, проектируемой на транзисторном уровне, большое количество компонентов (более 20 млн. транзисторов), трудности анализа текстовых файлов netlist, включающих паразитные RC-параметры (примерно 100 млн. строк) и ограничения средств моделирования Spectre, Spice и ultraSim, входящих в САПР CADENCE не позволяют в настоящее время провести расчет задержек глобальных схем синхронизации ПЛИС автоматизированным способом с учетом паразитных RC-параметров. Большинство крупных западных компаний имеют собственные программные средства для выполнения анализа критических путей глобальных сигналов с учетом паразитных структур, выделенных из топологии высокоинтегрированных СБИС. Поэтому использование «ручных» методов учета паразитных параметров на начальном этапе проектирования глобальных цепей дерева синхронизации полностью обосновано.

В отличие от традиционных методов проектирования заказных БИС, таких как микропроцессоры, запоминающие устройства и др., геометрическая структура дерева синхронизации (размещение буферных каскадов по площади кристалла) является фиксированной и не может быть изменена для различных схемных решений (проектов),

реализуемых на ПЛИС. Более того, входы КЛБ и соответственно ЛЭ подключены к дереву синхронизации через программируемые коммутаторы. В результате емкостная нагрузка в различных узлах дерева синхронизации может меняться в зависимости от того, подключен или не подключен тот или иной КЛБ (ЛЭ) к цепи. Следует учесть, что, как правило, в ПЛИС имеется несколько выделенных входов, которые могут использоваться для синхронизации проекта в ПЛИС. Распределение логических элементов, подключаемых к различным цепям синхронизации, зависит от схемного проекта, реализуемого на ПЛИС, и не может быть заранее predetermined до изготовления ПЛИС.

Метод буферизации тактового сигнала, используемый при разработке дерева синхронизации БИС, может вносить дополнительный разброс задержек тактового сигнала, если нагрузка для одного из сигналов оказывается значительно большей, чем для других. Задержка распространения тактового сигнала в цепях с большей нагрузкой будет больше из-за увеличения задержки переключения выходных транзисторов и времени нарастания и спада сигнала t_{LN} и t_{HL} . Различие в длине токопроводящих дорожек синхросигналов также способствует увеличению времени расфазировки тактового сигнала t_{skew} .

Предлагается следующая методика расчета схемы глобальной синхронизации элементов проектируемой ПЛИС (дерева синхронизации). Перемещением позиции буферов дерева синхронизации на кристалле уменьшаем задержку распространения тактового сигнала за счет оптимизации длины токопроводящих дорожек. После того, как буферная позиция оптимизирована, контролируем разброс тактового сигнала в узлах дерева синхронизации. Если он больше, чем заданное значение (например, 0.3 нс), изменяем геометрические размеры транзисторов буферов до тех пор, пока разброс не станет меньше 0.3 нс. Если разбалансировка задержек (расфазировка) тактового сигнала не удовлетворяет требованиям, вновь меняем позиции буферов на кристалле. Первоначально ширину шины тактового сигнала выбираем с условием обеспечения максимально допустимой плотности тока для того, чтобы не допустить возникновения электромиграции. Затем увеличиваем ширину шины до тех пор, пока уменьшение задержки не достигнет насыщения.

Модель емкости токопроводящих дорожек включает: емкость параллельных пластинок и краевую емкость, моделируемую цилиндрическим проводником, диаметр которого равен толщине

дорожки. Для приближенных расчетов используется следующая формула для вычисления паразитной емкости токопроводящей дорожки: $C = C_s + C_p = (\sigma_s \cdot l \cdot w) + 2 \cdot l \cdot \sigma_{p66}$, где σ_s – удельная поверхностная ёмкость с нижележащим металлом, аФ/ккм²; l – и w – длина и ширина дорожки; σ_{p66} – краевая емкость или емкость периметра шестого слоя. Множитель 2 в формуле учитывает две стороны токопроводящей дорожки при расчете краевой емкости, а ее толщиной пренебрегают. Удельные и краевые емкости берутся из технологических файлов кремниевых фабрик. Если рассматриваемая токопроводящая дорожка находится в двух верхних слоях металлизации, например, в шестом и пятом слое, то $C = C_s + C_p = (\sigma_s \cdot l \cdot w) + 2 \cdot l \cdot \sigma_{p66} + 2 \cdot l \cdot \sigma_{p65}$. Если перекрытие по площади с нижележащим металлом составляет от 10 до 50 %, то это учитывается коэффициентом в емкости параллельных пластинок $C = 0.5 \cdot C_s + C_p$. Если расстояние между проводниками 2 мкм, а минимальное расстояние по КТТ 0.46 мкм, то влияние краевой емкости ослабляется в 4.35 раза: $C = 0.5 \cdot C_s + C_p / 4.35$.

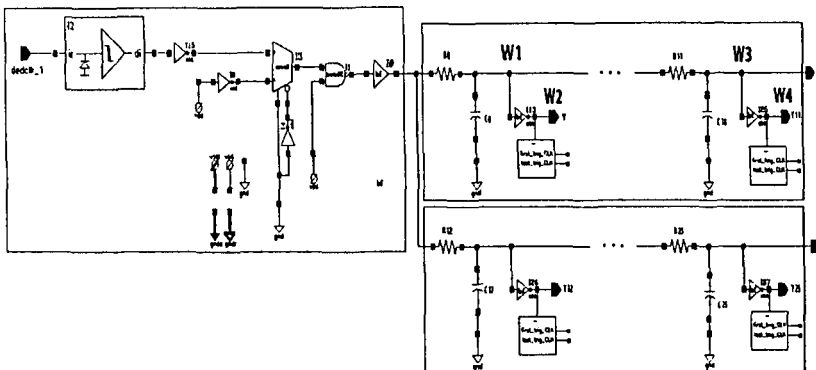
Задержки распространения синхросигналов t_{pLH} , t_{pHL} и значения фронтов t_{LH} и t_{HL} в блоках дерева синхронизации определялись с помощью схемотехнического моделирования. Рис. 4 демонстрирует схему для расчета и оптимизации задержек распространения синхросигнала от выделенного входа clock до буферов рядов КЛБ, в которой учитываются паразитные емкости нагрузки.

С помощью средств верификации САПР Cadence из топологии кристалла была проведена экстракция паразитных параметров (RCX) для отдельных выделенных цепей дерева синхронизации, которые подтвердили правильность «ручных» расчетов.

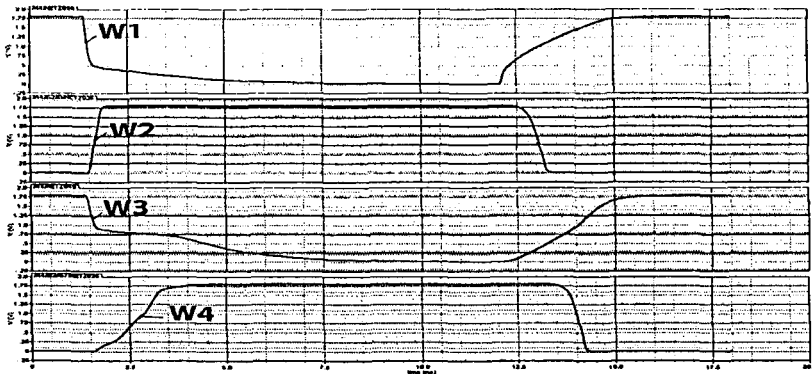
Разработанная архитектура дерева синхронизации после оптимизации (наилучший вариант архитектурного позиционирования оптимизированных буферных каскадов дерева синхронизации) позволяет распределять тактовый сигнал с выделенного входа посредством глобальных и локальных генераторов с максимальной расфазировкой сигнала: 0.25 нс для триггеров ЛЭ ядра ПЛИС; 0.15 нс для триггеров ЭВВ колонки; 0.2 нс для триггеров ЭВВ ряда.

Коммутаторы глобальных синхросигналов (подключают выбранный синхросигнал ко входам программируемых триггеров ЛЭ и ЭВВ) целесообразно выполнять на КМОП-ключках для исключения эффекта, связанного с влиянием р-МОП транзистора, включенного в

цели обратной связи инвертора с восстановлением уровня, описанного в главе 3.



а)



б)

Рис.4. Фрагмент схемы дерева синхронизации ПЛИС для расчета и оптимизации задержек распространения синхросигналов t_{pLH} , t_{pHL} от выделенного входа до входных буферов блоков более низкого уровня (в нагрузке – паразитная ёмкость и сопротивление шин) (а) и формы синхросигналов на тактовых входах блоков ПЛИС: w1, w2 – сигналы на тактовом входе ближнего ряда (до и после инвертора); w3, w4 – сигналы на тактовом входе дальнего ряда (до и после инвертора)

ОСНОВНЫЕ РЕЗУЛЬТАТЫ И ВЫВОДЫ

На основании проведенных в диссертации исследований получены следующие научно-технические результаты:

1. В качестве архитектуры для высокоинтегрированных ПЛИС двойного назначения с расширенным диапазоном рабочих температур ($-60 + 125$ °С) и питающих напряжений (1.62 В - 1.98 В) выбрана архитектура типа "Программируемые пользователем вентиляные матрицы" с многоуровневой структурой, основанной на глобальной (ГМС) и локальных (ЛМС) матрицах межсоединений. КЛБ разрабатываемой ПЛИС содержат 8 логических элементов (ЛЭ). Функциональный генератор ЛЭ - 4-входовая таблица перекодировок. На кристалле размером 11.5×12.5 мм² (размером ядра 9.5×10.5 мм²) размещается - 1248 КЛБ (9984 ЛЭ), 98304 бит реконфигурируемой встроенной памяти (48 блоков по 2048 бит), что соответствует логической емкости 200 тыс. эквивалентных вентиляей.

2. С использованием САПР CADENCE разработаны иерархическая электрическая схема и символьная топология ПЛИС в абстрактном представлении. Разработаны основные функциональные блоки, такие как электрические схемы коммутаторов матриц ГМС и ЛМС, КЛБ, ЛЭ и ЭВВ. При проектировании ПЛИС осуществлялся учет разброса параметров техпроцесса ХС018 и влияния паразитных эффектов, вызванных субмикронными размерами.

3. Разработана топологическая библиотека элементов, входящих в состав ПЛИС, по КТТ технологии ХС018 с учетом того, что кристаллы будут перепроектироваться под подобный техпроцесс отечественной кремниевой фабрики ОАО «НИИМЭ и Микрон».

4. Разработаны схемы программируемой коммутации межсоединений с использованием передаточных вентиляей, позволяющие минимизировать задержки переключения в цепях коммутации и устранить перекос времен задержек распространения сигналов t_{PHL} и t_{PLH} . Программируемые коммутаторы могут быть выполнены как на мультиплексорных структурах с использованием n-МОПТ или КМОП-ключей, так и с использованием одного n-МОПТ ключа на каждое track-to-pin соединение или их комбинацией. В случае использования мультиплексорных структур существует критический путь из трех или более последовательно соединенных n-МОПТ-ключей. Комбинированный вариант позволяет уменьшить число ключей до двух в критическом пути и повысить быстродействие коммутаторов при незначительном увеличении числа конфигурационных ячеек памяти. Схемотехническое моделирование, проведенное с целью исследования

нагрузочной способности глобальных межсоединений при крайних температурах и напряжениях питания, показало, что программируемые коммутаторы на n-МОПТ ключах обладают большим быстродействием по сравнению с коммутаторами на КМОП-ключах.

5. Разработана методика расчета цепей схемы глобальной синхронизации элементов ПЛИС (дерева синхронизации) с учетом резистивно-емкостных паразитных эффектов, вызванных влиянием субмикронных размеров и распределением ЛЭ и ЭВВ на большом кристалле ПЛИС. С помощью этой методики определена оптимальная конструкция электрической схемы дерева тактовых синхросигналов, произведено геометрическое позиционирование и оптимизированы размеры транзисторов буферных элементов цепей синхронизации, рассчитаны оптимальные геометрические размеры шин металлизации, по которым распространяются синхросигналы, и проведен расчет задержек распространения синхросигналов.

Основные результаты диссертации опубликованы в следующих работах:

Публикации в изданиях, рекомендованных ВАК РФ

1. Проектирование микропроцессорных ядер для реализации в базе ПЛИС / А.В. Строгонов, А.И. Буслов, О.А. Золотухина, С.А. Цыбин // Вестник Воронежского государственного технического университета. 2009. Т.5. № 3. С.46-51.

2. Строгонов А.В. Метастабильность триггеров программируемых логических ИС / А.В. Строгонов, А.И. Буслов, С.А. Цыбин // Вестник Воронежского государственного технического университета. 2009. Т.5. № 3. С.83-87.

3. Строгонов А.В. Проектирование процессора с использованием высокоуровневого языка описания аппаратных средств VHDL / А.В. Строгонов, С.А. Цыбин // Вестник Воронежского государственного технического университета. 2009. № 12. Т.5. С.61-65.

4. Разработка модели микропроцессорного ядра в системе Matlab/ Simulink / А.В. Строгонов, С.А. Цыбин, А.И. Буслов, О.А. Золотухина // Вестник Воронежского государственного технического университета. 2009. № 12. Т.5. С.78-83.

Патентные документы

5. Пат. 1690513 Российская Федерация, МПК⁵ H01L 27/118. Базовое матричное устройство / С.А. Цыбин, А.В. Быстрицкий; № 4681810/25; заявл. 19.04.89; опубл. 04.02.93, Бюл. №4.

6. Пат. 2017266 Российская Федерация, МПК⁵ H01L 21/28. Способ изготовления БИС на основе вентильных матриц / С.А. Цыбин, Н.Я. Мещеряков; № 4890991/25; заявл. 17.12.90; опубл. 30.07.94, Бюл. №14.

7. Пат. 2029414 Российской Федерация, МПК⁶ Н01L 21/82. Способ изготовления структур КМОП БИС / С.А. Цыбин, Н.Я. Мещеряков; № 5034338/25; заявл. 26.03.92; опубл. 20.02.95, Бюл. №5.

Книги

8. Строгонов А.В. Проектирование сложно-функциональных блоков в базе ПЛИС: учеб. пособие / А.В. Строгонов, С.А. Цыбин. Воронеж: ВГТУ, 2010. 333 с.

Статьи и материалы конференций

9. Цыбин С.А. Методы и средства интегральной технологии ПЛИС + БМК / С.А. Цыбин, А.В. Быстрицкий // Электронная промышленность. 1994. № 4-5. С.49-51.

10. Разработка и опыт применения технологии ПЛИС-БМК в тепловизионной электронике / В.Г. Евстигнеев, А.Н. Кошарновский, Е.В. Дегтярев, С.А. Цыбин // Прикладная физика. 2000. № 24. С.117-119.

11. Импортозамещающая технология ПЛИС-БМК. Ч.1. Разработка радиоэлектронной аппаратуры двойного назначения / В.Г. Евстигнеев, А.Н. Кошарновский, Е.В. Дегтярев, М.И Критенко, С.А. Цыбин // Компоненты и технологии. 2004. № 7. С.1-17.

12. Импортозамещающая технология ПЛИС-БМК. Ч.2. Перевод проектов ПЛИС в полузаказные БИС по технологии ПЛИС-БМК / В.Г. Евстигнеев, А.Н. Кошарновский, Е.В. Дегтярев, М.И Критенко, С.А. Цыбин, А.В. Быстрицкий // Компоненты и технологии. 2004. № 8. С.10-15.

13. Импортозамещающая технология ПЛИС-БМК. Ч.3. Оценка логической емкости программируемых логических ИС / Е.В. Евстигнеев, С.А. Лаас, С.А. Цыбин, А.В. Быстрицкий // Компоненты и технологии. 2004. №9. С.98-100.

14. Строгонов А.В. Тестер цифровых БИС, поддерживающих технологию периферийного сканирования / А.В. Строгонов, С.А. Цыбин, А.В. Быстрицкий // Компоненты и технологии. 2005. № 3. С.60-65.

15. Проектирование ПЛИС для космических применений / В.А. Телец, С.А. Цыбин, С.Б. Подъяпольский, А.В. Быстрицкий // Элементная база космических систем: материалы конф.; под ред. С.В. Ларионова. М.: МНТОРЭС им. А.С. Попова, 2005. С.75-90.

16. Цыбин С.А. Интерфейсная ПЛИС повышенной надежности / С.А. Цыбин, А.В. Быстрицкий // Электроника: наука, технология, бизнес. 2006. № 7. С.60-65.

17. Цыбин С.А. Особенности построения интерфейсной ПЛИС / С.А. Цыбин, А.В. Быстрицкий, С.И. Скуратович // Элементная база космических систем: материалы конф.; под ред. С.В. Ларионова. М.: МНТОРЭС им. А.С. Попова, 2006. С.83-89.

18. Цыбин С.А. СФ-блоки программируемых пользователем логических ядер / С.А. Цыбин, А.В. Быстрицкий, С.И. Скуратович // Элементная база космических систем: материалы конф.; под ред. С.В. Ларионова. М.: МНТОРЭС им. А.С. Попова, 2006. С.90-98.

19. Цыбин С.А. Архитектура отказоустойчивой ПЛИС емкостью свыше 100 тыс. вентилей / С.А. Цыбин, А.В. Быстрицкий, С.И. Скуратович // Проблемы разработки перспективных микроэлектронных систем: сб тр. II Всерос. науч.-техн. конф.; под ред. А.Л. Стемпковского. М.: ИПИМ РАН, 2006. С.376–381.

20. Цыбин С.А. Программируемые пользователем логические ядра для построения “систем на кристалле” / С.А. Цыбин, А.В. Быстрицкий, С.И. Скуратович // Проблемы разработки перспективных микроэлектронных систем: сб тр. II Всерос. науч.-техн. конф.; под ред. А.Л. Стемпковского. М.: ИПИМ РАН, 2006. С.391–396.

21. Строгонов А.В. Использование различных типов памяти при проектировании учебного микропроцессорного ядра для реализации в базе ПЛИС / А.В. Строгонов, С.А. Цыбин // Компоненты и технологии. 2009. № 12. С.92-96.

22. Использование различных типов памяти при проектировании микропроцессорных ядер / А.В. Строгонов, С.А. Цыбин А.И. Буслев, О.А. Золотухина // Твердотельная электроника и микроэлектроника: межвуз. сб. науч. тр. Воронеж: ВГТУ. 2009. С.84-90.

23. Проектирование процессора с фиксированной запятой в САПР ПЛИС Quartus II / А.В. Строгонов, С.А. Цыбин, С.И. Давыдов, О.А. Золотухина // Твердотельная электроника и микроэлектроника: межвуз. сб. науч. тр. Воронеж: ВГТУ, 2009. С.91-95.

24. Проектирование процессора с фиксированной запятой в системе Matlab/Simulink / А.В. Строгонов, С.А. Цыбин А.И. Буслев, О.А. Золотухина // Твердотельная электроника и микроэлектроника: межвуз. сб. науч. тр. Воронеж: ВГТУ, 2009. С.96-99.

25. Строгонов А.В. Проектирование микропроцессорных ядер с использованием приложения StateFlow системы Matlab/Simulink / А.В. Строгонов, С.А. Цыбин, А.И. Буслев // Компоненты и технологии. 2010. № 1. С.66-70.

26. Строгонов А.В. Использование ресурсов ПЛИС Stratix III фирмы Altera при проектировании микропроцессорных ядер / А.В. Строгонов, С.А. Цыбин // Компоненты и технологии. 2010. № 2. С.39-42.

27. Строгонов А.В. Учет резистивно-емкостных эффектов при проектировании цифровых ВИС по субмикронным проектным нормам / А.В. Строгонов, С.А. Цыбин // Компоненты и технологии. 2010. № 9. С.46-49.



Подписано в печать 26.10.2010.

Формат 60 x 84/16. Бумага для множительных аппаратов.

Усл. печ. л. 1,0. Тираж 90 экз. Заказ № 402

ГОУ ВПО «Воронежский государственный технический университет»
394026 Воронеж, Московский просп., 14